



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0047117
Application Number

출원 년 월 일 : 2003년 07월 11일
Date of Application JUL 11, 2003

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



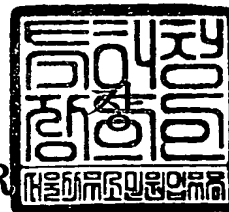
2003 년 10 월 06 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0011
【제출일자】 2003.07.11
【발명의 명칭】 반도체 소자의 금속배선 형성방법
【발명의 영문명칭】 Method for forming a metal line in semiconductor device
【출원인】
【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1
【발명자】
【성명의 국문표기】 류상욱
【성명의 영문표기】 RYU, Sang Wook
【주민등록번호】 700727-1121222
【우편번호】 360-181
【주소】 충청북도 청주시 상당구 용암동 부영2차아파트 207-105
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】
【기본출원료】 16 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로, 층간절연막 사이에 식각정지층이 증착된 후, 후속 트렌치를 형성하기 위한 식각공정시 상기 식각정지층을 식각 베리어로 이용하여 과도 식각(over etch)함으로써 상기 트렌치 내부에서 발생하는 기생 스페이서가 억제될 수 있는 반도체 소자의 금속배선 형성방법이 개시된다.

【대표도】

도 6

【색인어】

금속배선, 금속 플러그, 식각정지층, 기생 스페이서, 과도 식각

【명세서】

【발명의 명칭】

반도체 소자의 금속배선 형성방법{Method for forming a metal line in semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위하여 도시한 단면도들이다.

도 7은 종래기술에서 발생하는 기생 스페이서를 설명하기 위하여 도시한 TEM(Transmission Electron Microscope) 사진이다.

〈도면의 주요 부분에 대한 부호의 설명〉

- | | |
|-----------------|---------------|
| 10 : 반도체 기판 | 12 : 게이트 산화막 |
| 14 : 폴리실리콘막 | 16 : 게이트 전극 |
| 18 : 소오스/드레인 영역 | 20 : 제1 층간절연막 |
| 22 : 식각 정지층 | 24 : 제2 층간절연막 |
| 26 : 콘택홀 | 28 : 금속 플러그 |
| 30 : 확산방지막 | 32 : 제3 층간절연막 |
| 34 : 포토레지스트 패턴 | 36 : 트렌치 |

38 : 금속배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로, 특히 금속플러그와 금속배선 간의 기생 스페이스로 인해 접촉면적이 감소되는 현상을 방지하여 이 둘 간의 접촉저항을 개선시킬 수 있는 반도체 소자의 금속배선 형성방법에 관한 것이다.
- <13> 반도체 소자 또는 전자 소자 등에 있어서는, 금속배선형성 기술로서 절연막 상에 알루미늄(Al) 또는 텅스텐(W) 등과 같은 도전체막이 증착된 후, 상기 도전체막이 통상의 포토리소그래피(photolithography) 공정 및 건식식각(dry etching) 공정을 통해 패터닝됨으로써 금속배선이 형성되는 기술이 확립되어 이 분야에서 널리 이용되고 있다. 특히, 최근에는 반도체 소자 중에서 고집적화와 고성능화가 요구되는 로직(logic) 소자를 중심으로 해서 RC 지연을 줄이기 위한 일환으로 알루미늄 또는 텅스텐 대신에 구리(Cu)와 같이 비저항이 낮은 금속을 배선으로 이용하는 방법이 연구되고 있다. 상기 RC에서, 'R'은 배선 저항을 나타내고, 'C'는 절연막의 유전율을 나타낸다.
- <14> 구리를 이용한 금속배선 형성공정에서는 알루미늄 또는 텅스텐에 비해 패터닝 공정이 어렵다. 이에 따라, 먼저 트렌치(trench)를 형성한 후 상기 트렌치가 매립되도록 금속배선을 형성하는 소위 '다마신(damascene)' 공정이 사용되고 있다.

현재 일반적으로 사용되는 공정으로는 싱글 다마신 공정(single damascene)과 듀얼 다마신 공정(Dual damascene)이 있다. 싱글 다마신 공정은 비아홀(via hole)을 형성한 후 도전재료로 상기 비아홀을 매립하고 그 상부에 배선용 트렌치를 형성한 후 다시 배선재료로 상기 트렌치를 매립하여 금속배선을 형성하는 방법이다. 듀얼 다마신 공정은 비아홀과 배선용 트렌치를 형성한 후 배선재료를 동시에 비아홀과 배선용 트렌치를 매립하여 금속배선을 형성하는 방법이다. 이 외에도 다양한 방법들이 제시되고 있다.

<15> 그러나, 구리는 실리콘내의 인터스티셜 사이트(interstitial site)를 통한 확산이 매우 빠르게 이루어져 트랜지스터의 포화전류(saturation current), 문턱전압(threshold voltage) 및 누설전류(leakage current) 등 특성을 열화시키는 문제가 발생된다. 이로 인하여, 실리콘 기판과의 접촉을 위한, 즉 메탈콘택(metal contact)공정에서는 플러그(plug)로 구리 금속층이 사용될 수 없게 된다. 따라서, 메탈콘택을 위한 콘택홀(contact hole) 내에는 텅스텐 플러그(W plug)가 매립된 후, CVD(Chemical Mechanical Polishing)을 이용한 평탄화 공정이 진행된다. 이와 같이 메탈콘택을 텅스텐 플러그로 형성할 경우에는, 도 7에 도시된 바와 같이 텅스텐 플러그와 구리 금속배선 간에 기생 스페이서(원형안)가 발생되고, 이로 인하여 접촉면적이 줄어드는 결과가 발생된다. 이러한 결과는 배선저항의 증가를 야기시키고, 배선의 신뢰성을 저하시키게 된다. 더욱이 배선용 트렌치의 라인-엔드-쇼트링(line-end-shorting)에 의한 영향과 30nm 이상의 노광장비의 오버레이 마진(overlay margin)을 고려한다면, 0.13 μ m 이하의 테크놀로지(technology)에서는 쉽게 발견할 수 있게 된다.

【발명이 이루고자 하는 기술적 과제】

<16> 따라서, 본 발명의 바람직한 실시예는 금속플러그와 금속배선 간의 기생 스페이스로 인해 접촉면적이 감소되는 현상을 방지하여 이 둘 간의 접촉저항을 개선시키는데 그 목적이 있다.

【발명의 구성 및 작용】

<17> 본 발명의 일측면에 따르면, 소정의 반도체 구조물층이 형성된 반도체 기판 상에 제1 층간절연막, 식각정지층 및 제2 층간절연막이 순차적으로 형성되는 단계와, 콘택홀용 식각 마스크를 이용한 식각공정을 통해 상기 반도체 구조물층의 일부가 노출되는 콘택홀이 형성되는 단계와, 상기 콘택홀이 매립되도록 금속 플러그가 형성되는 단계와, 전체 구조 상부에 확산방지막 및 제3 층간절연막이 순차적으로 형성되는 단계와, 트렌치용 식각 마스크를 이용한 식각공정을 실시하되, 상기 식각정지층을 식각 베리어로 이용하여 상기 제2 층간절연막을 과도 식각되도록 트렌치가 형성되는 단계와, 상기 트렌치가 매립되도록 금속배선이 형성되는 단계를 포함하는 반도체 소자의 금속배선 형성방법이 제공된다.

<18> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

- <19> 도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속배선 형성방법을 설명하기 위하여 도시한 단면도들이다. 여기서, 도 1 내지 도 6에 도시된 참조부호들 중 서로 동일한 참조부호는 동일한 기능을 하는 동일한 구성요소이다.
- <20> 도 1을 참조하면, 다양한 웰(well)영역과 문턱전압 이온주입영역이 포함되는 반도체 구조물층(미도시)이 형성된 반도체 기판(10)이 제공된다. 이어서, 전체 구조 상부에는 게이트 산화막(12), 폴리실리콘막(14) 및 금속 실리사이드층(예컨대, 텅스텐 실리사이드층; 미도시)이 순차적으로 증착된 후 패터닝되어 게이트 전극(16)이 형성된다. 이후, 게이트 전극(16)의 양측벽에는 LDD(Lightly Doped Drain) 스페이서가 형성된다. 이어서, 소오스/드레인 이온주입공정을 실시하여 게이트 전극(16)의 양측으로 노출되는 반도체 기판(10)에는 소오스/드레인 영역(18)이 형성된다. 이로써, 게이트 전극(16) 및 소오스/드레인 영역(18)을 포함하는 트랜지스터가 형성된다.
- <21> 상기 트랜지스터가 형성된 후, 전체 구조 상부에는 제1 층간절연막(inter layer dielectric; 20)이 형성된다. 이때, 상기 제1 층간절연막(20)은 게이트 전극(16)에 기인한 단차를 감소시켜 평탄화하기 위하여 1단계로 예컨대, BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass), USG(Un-doped Silicate Glass) 또는 FSG(Fluorinated Silicate Glass) 등 또는 SiO 또는 SiO₂에 국부적으로 불소, 수소, 붕소 또는 인 등이 결합(substitutional) 또는 삽입(interstitial)된 막으로 증착된 후, 그 상부에 2단계로 CVD-TEOS(Chemical Mechanical Deposition-TEOS), PECVD-TEOS(Plasma Enhanced CVD-TEOS) 등의 산화막이 증착되어 형성된다. 여기서, 상기 제1 층간절연막(20)은 3000Å 내지 9000Å의 두께로 형성된다. 이후, 상기 제1 층간절연막(20)은 CMP 공정을 통해 평탄화될 수 있다.

- <22> 상기 제1 층간절연막(20)이 형성된 후 전체 구조 상부에는 식각정지층(etch stopping layer; 22)이 형성된다. 이때, 상기 식각정지층(22)은 SiC, SiN 또는 SiON 등으로 형성될 수 있다. 여기서, 상기 식각정지층(22)은 50 Å 내지 1000 Å의 두께로 증착된다. 그런 다음, 상기 식각정지층(22) 상에는 제2 층간절연막(24)이 증착된다. 이때, 제2 층간절연막(24)은 BPSG, PSG, USG 또는 FSG 등 또는 SiO 또는 SiO₂에 국부적으로 불소, 수소, 붕소 또는 인 등이 결합 또는 삽입된 막으로 증착된다. 여기서, 상기 제2 층간절연막(24)은 50 Å 내지 3000 Å의 두께로 증착된다. 이후, 상기 제2 층간절연막(24)은 CMP 공정을 통해 평탄화될 수 있다.
- <23> 도 2를 참조하면, 전체 구조 상부에는 포토레지스트(photoresist)이 전면 도포(coating)된 후, 포토 마스크(photo mask)를 이용한 노광공정 및 현상공정을 순차적으로 실시하여 제2 층간절연막(24)의 일부가 노출되는 콘택홀 형성용 마스크로 포토레지스트 패턴(photoresist pattern; 미도시)이 형성된다. 그런 다음, 상기 포토레지스트 패턴을 식각 마스크로 이용한 식각공정을 건식식각방식으로 실시하여 노출되는 제2 층간절연막(24), 식각정지층(22) 및 제1 층간절연막(20)이 순차적으로 패터닝된다. 이로써, 소오스/드레인 영역(18)이 노출되는 콘택홀(26)이 형성된다. 이때, 상기 식각공정시 C_xH_yF_z(x, y, z는 0 또는 자연수)가스를 주(main) 식각가스로 사용하고, O₂, N₂, SF₆, Ar 또는 He 등의 불활성 기체원자 또는 분자를 첨가가스로 사용하여 실시된다. 상기 식각정지층(22)과의 선택비를 낮추고자 하는 경우에는 C/F 비율을 낮추면 되므로, 첨가가스를 증가시키거나, C_xH_yF_z에서 'x' 감소 또는 'z' 증가의 방법을 이용하면 된다. 또한, 식각정지층(22)과 층간절연막(20 및 24)의 건식식각을 다단계로 이루고자 하는 경우에도 상기에서 열거한 C/F 비율의 조정으로 가능하다. 이후, 상기 포토레지스트 패턴은 스트립 공정을 통해 제거된다. 또한, 세정공정이 실시될 수도 있다.

<24> 도 3을 참조하면, 도 2에서 콘택홀(26)이 형성된 후, 제1 베리어막(barrier;미도시)이 형성된다. 상기 제1 베리어막은 접착층(glue layer)으로서 기능과, 확산 방지층으로의 기능을 한다. 이때, 상기 제1 베리어막은 Ta, TaN, TaAlN, TaSiN, TaSi₂, Ti, TiN, TiSiN, WN, Co 및 CoSi₂ 중 어느 하나로 형성된 단층막으로 형성되거나, 이들이 적층된 이층막으로 형성될 수 있다. 이후, 상기 콘택홀이 매립되도록 금속물질(미도시)이 증착된 후 CMP 공정 대신에, SF₆/Cl₂/BCl₃ 등의 가스를 주 식각가스로 하고, O₂, N₂, Ar 또는 He 가스 등의 첨가가스를 이용한 건식식각방식, 즉 에치백(etchback) 공정을 통해 금속 플러그(28)가 형성된다. 이때, 상기 금속 플러그(28)는 텅스텐(W), 알루미늄(Al) 또는 기타 금속물질로 형성될 수 있다. 바람직하게는 텅스텐으로 형성된다.

<25> 도 4를 참조하면, 도 3에서 금속 플러그(28)가 형성된 후, 전체 구조 상부에는 확산방지막(30)이 형성된다. 이때, 상기 확산방지막(30)은 SiON, SiN 또는 SiC 등의 물질로 형성될 수 있다. 이후, 상기 확산방지막(30) 상에는 제3 층간절연막(32)이 형성된다. 이때, 상기 제3 층간절연막(32)은 BPSG, PSG, USG 또는 FSG 등 또는 SiO 또는 SiO₂에 국부적으로 불소, 수소, 붕소 또는 인 등이 결합 또는 삽입된 막으로 증착된다.

<26> 도 5를 참조하면, 도 4에서 제3 층간절연막(32)이 증착된 후, 전체 구조 상부에는 포토레지스트이 전면 도포된 후, 포토 마스크를 이용한 노광공정 및 현상공정을 순차적으로 실시하여 제3 층간절연막(32)의 일부가 노출되는 트렌치 형성용 식각 마스크로 포토레지스트 패턴(34)이 형성된다. 이후, 상기 포토레지스트 패턴(34)을 식각 마스크로 이용한 식각공정을 실시하여 트렌치(36)가 형성된다. 상기 식각공정시 식각정지층(22)을 베리어로 이용함에 따라 과도식각(over etch)이 가능하다. 이에 따라, 도 7에서 발생하는 기생 스페이서(원형안)가 형성되지 않는다. 즉, 도 1에서 제1 층간절연막(20), 식각정지층(22) 및 제2 층간절연막(24)이 순으

로 증착된 후, 트렌치(36)를 형성하기 위한 식각공정시 상기 식각정지층(22)을 베리어로 하여 충분히 과도식각된다. 이 경우, 트렌치(36) 식각공정시 식각정지층(22)으로 인하여 아래 방향의 식각이 억제되면서, 측벽 식각이 유도된다. 이로써, 이 부위에서의 기생 스페이서가 발생되지 않는다. 이러한 과정을 통해 도 5와 같은 트렌치(36)의 프로파일(profile)이 형성된다.

<27> 도 6을 참조하면, 도 5에서 트렌치(36)가 형성된 후, 상기 트렌치(36) 내부면(즉, 내측면과 저면)에 제2 베리어막(미도시)이 형성된다. 예컨대, 제2 베리어막은 상기 제1 베리어막과 동일한 물질로 형성될 수 있다. 예컨대, Ta, TaN, TaAlN, TaSiN, TaSi₂, Ti, TiN, TiSiN, WN, Co 및 CoSi₂ 중 어느 하나로 형성된 단층막으로 형성되거나, 이들이 적층된 이층막으로 형성될 수 있다. 그런 다음, 상기 트렌치가 매립되도록 금속배선(38)이 형성된다. 상기 금속배선(38)은 구리 금속층으로 형성되는 것이 바람직하다. 그러나, 이 외에도 Al, Pt(Platinum), Pd(Palladium), Ru(Rubidium), St(Strontium), Rh(Rhadium) 및 Co 중 어느 하나로 이루어진 금속층으로 형성될 수도 있다. 이때, 상기 금속배선(38)은 전기도금 방식을 이용하여 형성될 수도 있다. 상기 전기도금 방식은 구리 금속층인 경우 상기 제2 베리어막의 상에 구리 금속물질로 시드층(미도시)이 형성된 후 상기 시드층을 시드(seed)로 하여 시드층 상에 구리 금속물질이 증착됨으로써 형성된다. 이후, CMP 방식을 이용한 평탄화 공정을 실시하여 트렌치가 매립되도록 구리 금속층이 평탄화되어 금속배선(38)이 형성된다.

<28> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<29> 상술한 바와 같이, 본 발명에 의하면, 층간절연막 사이에 식각정지층이 증착된 후, 후속 트렌치를 형성하기 위한 식각공정시 상기 식각정지층을 식각 베리어로 이용하여 과도 식각함으로써 상기 트렌치 내부에서 발생하는 기생 스페이서가 억제될 수 있다.

【특허청구범위】**【청구항 1】**

(a) 소정의 반도체 구조물층이 형성된 반도체 기판 상에 제1 층간절연막, 식각정지층 및 제2 층간절연막이 순차적으로 형성되는 단계;

(b) 콘택홀용 식각 마스크를 이용한 식각공정을 통해 상기 반도체 구조물층의 일부가 노출되는 콘택홀이 형성되는 단계;

(c) 상기 콘택홀이 매립되도록 금속 플러그가 형성되는 단계;

(d) 전체 구조 상부에 확산방지막 및 제3 층간절연막이 순차적으로 형성되는 단계;

(e) 트렌치용 식각 마스크를 이용한 식각공정을 실시하되, 상기 식각정지층을 식각 베리어로 이용하여 상기 제2 층간절연막을 과도 식각되도록 트렌치가 형성되는 단계; 및

(f) 상기 트렌치가 매립되도록 금속배선이 형성되는 단계를 포함하는 반도체 소자의 금속배선 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 식각정지층은 SiC, SiN 또는 SiON으로 형성되는 반도체 소자의 금속배선 형성방법.

【청구항 3】

제 1 항에 있어서,

상기 제1 및 제2 층간절연막은 BPSG, PSG, USG 또는 FSG로 증착되거나, SiO 또는 SiO₂에 국부적으로 불소, 수소, 붕소 또는 인이 결합 또는 삽입된 막으로 증착되는 반도체 소자의 금속배선 형성방법.

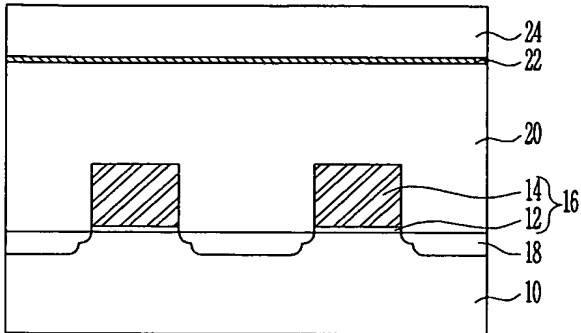
【청구항 4】

제 1 항에 있어서,

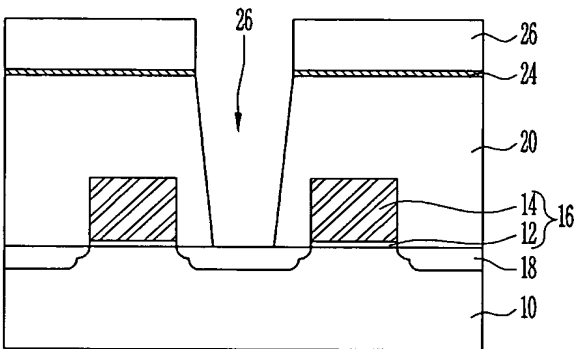
상기 (b) 단계에서 상기 식각공정은 C_xH_yF_z(x,y,z는 0 또는 자연수)가스를 주 식각가스로 사용하고, O₂, N₂, SF₆, Ar 또는 He의 불활성 기체원자 또는 분자를 첨가가스로 사용하는 반도체 소자의 금속배선 형성방법.

【도면】

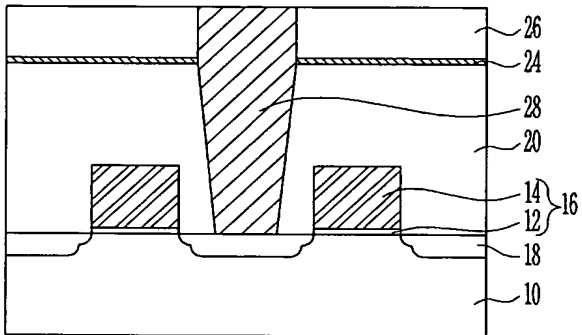
【도 1】



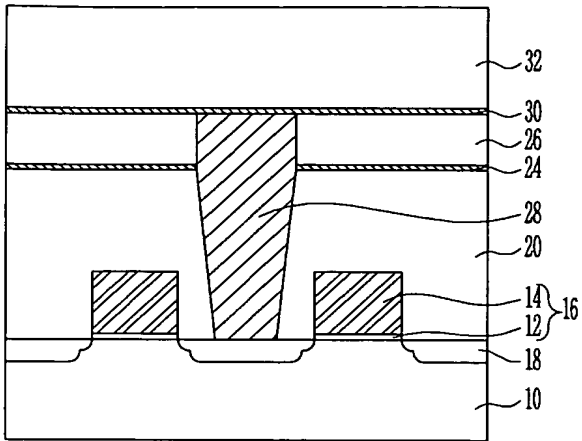
【도 2】



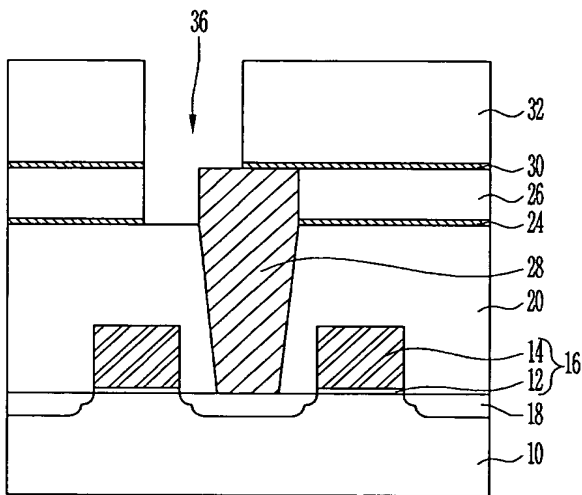
【도 3】



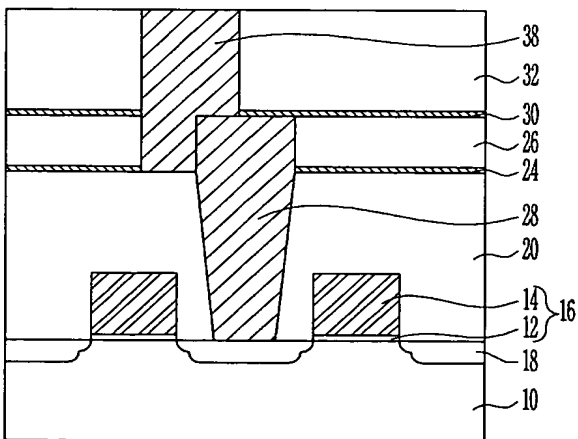
【도 4】



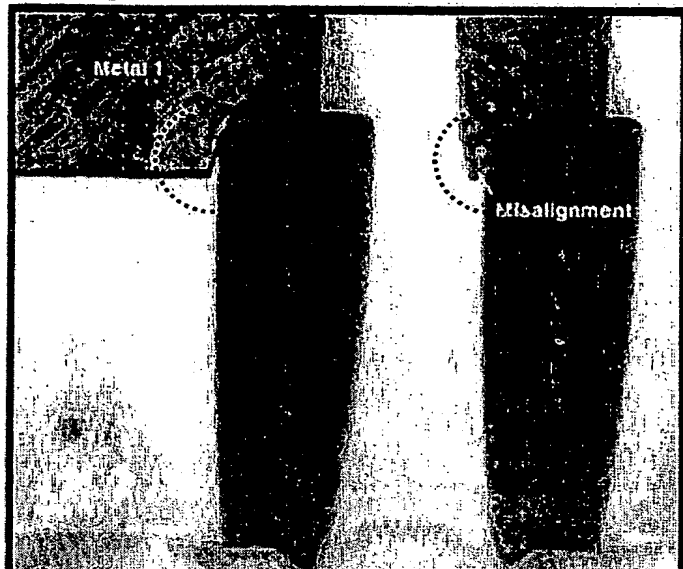
【도 5】



【도 6】



【도 7】



BEST AVAILABLE COPY